

# 溶液プロセスによる強誘電体 ゲートトランジスタの研究

北陸先端科学技術大学院大学

徳光 永輔

e-toku@jaist.ac.jp



## 概要

---

1. 強誘電体ゲートトランジスタ  
不揮発性メモリ+大電荷制御
2. 導電性酸化物ITOをチャンネル、ソースドレインの両方に  
使用した新デバイスの提案
3. 溶液プロセスと直接ナノインプリント法によるデバイス試作
4. 強誘電体負性容量?のデバイス応用

## 強誘電体が持つ“特異な物性”

**強誘電体**: 自発分極を持ち、かつそれが外部電界印加により反転できる物質

電子デバイス応用の立場から見ると...

(1) 不揮発性メモリ  
すでにSuica等で実用化されている。

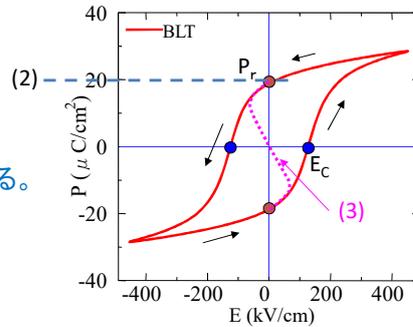
+

(2) 大電荷量の誘起

(3) 負性容量?

(4) ピエゾ効果

(5) 電気熱量効果

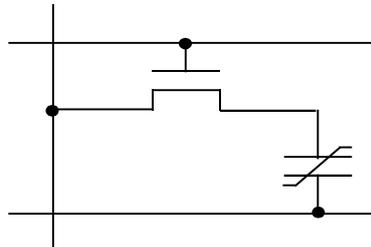


外部電界を0にしても分極が残る: 残留分極  
Pr: remanent polarization

P=0の時の電界: 抗電界(抗電場)  
Ec: coercive field

## 強誘電体メモリの2つのタイプ

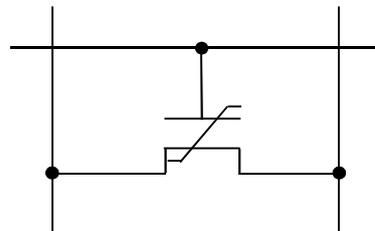
強誘電体メモリ(FeRAM)は不揮発性、低消費電力、高速動作といった特徴を持つ



**1T1C型(キャパシタ型)**

DRAMの同様のセル構造

破壊読出し  
大きな残留分極が必要

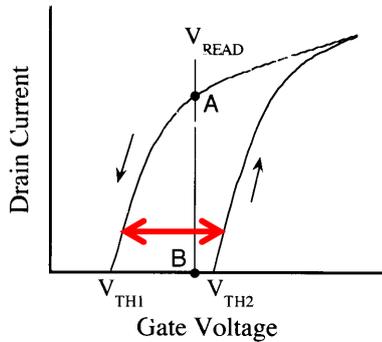


**1T1T型(トランジスタ型)**

NAND構成も可

非破壊読み出し  
高集積化に有利  
小さな残留分極  
良好な矩形性 が必要

## 強誘電体ゲートトランジスタ(メモリウインドウ)



1Vのメモリウインドウを得るためには、どのくらいの膜厚が必要か？

従来材料

Pb(Zr,Ti)O<sub>3</sub> (PZT), SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>(SBT)

$E_C \sim 50 \text{ kV/cm} \Rightarrow 100 \text{ nm}$

バンドギャップ  $E_g \sim 3.3\text{-}3.5 \text{ eV}$

HfO<sub>2</sub>系材料

Y-doped HfO<sub>2</sub>, Si-doped HfO<sub>2</sub>

Hf-Zr-O など

$E_C \sim 1 \text{ MV/cm} \Rightarrow 5 \text{ nm}$

バンドギャップ  $E_g > 5 \text{ eV}$

強誘電体ゲート絶縁膜によるしきい値電圧のシフト幅



メモリウインドウ(MW)

$$= 2V_C = 2E_C \times d$$

## トランジスタで利用している電荷量

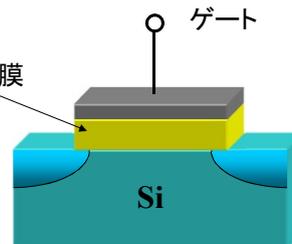
### 電界効果型トランジスタ (FET)

nチャネルデバイス

ゲート電圧  $\nearrow$   $\rightarrow$  ドレイン電流  $\nearrow$

チャネルキャリア  $10^{13} \text{ cm}^{-2}$   
 $\rightarrow 1.6 \mu\text{C/cm}^2$

ゲート絶縁膜



SiO<sub>2</sub> 絶縁破壊電界,  $E_{MAX} = 10 \text{ MV/cm}$

誘起可能な電荷量は  $3.5 \mu\text{C/cm}^2$  !

$$Q_{MAX} = CV_{MAX} = \frac{\epsilon_r \epsilon_0}{d} V_{MAX} = \epsilon_r \epsilon_0 E_{MAX}$$

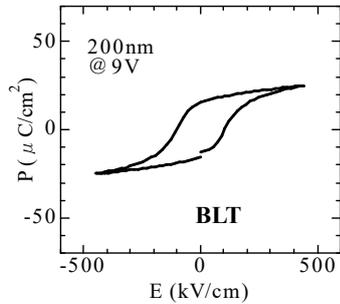
強誘電体 残留分極,  $P_r = 10 - 50 \mu\text{C/cm}^2$

Q: この巨大な電荷量をFETに利用できないものか？

## ITOチャンネル強誘電体ゲート薄膜トランジスタ

### ◎強誘電体ゲート絶縁膜 溶液プロセス

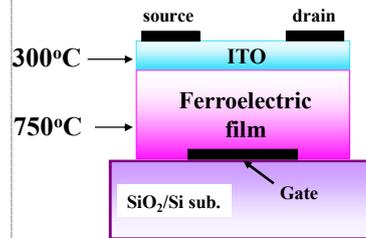
・ $\text{Bi}_{3.35}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$  (BLT) 750°C 30min



### ◎ ITO チャンネル(導電性酸化物) スパッタ法

- ・Target : ITO ceramics (10wt%  $\text{SnO}_2$ )
- ・Pressure : 0.52 - 1.52Pa
- ・Temperature : 300°C

Schematics cross section of the fabricated TFT

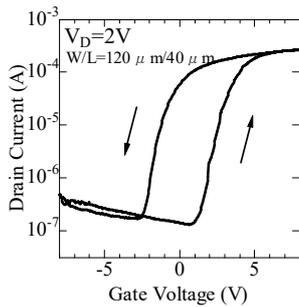


Bottom gate structure

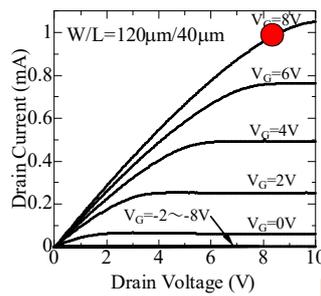
## L=40μmのBLT/ITO構造トランジスタ

チャンネル膜厚: 10nm

チャンネル幅: 120μm, チャンネル長: 40μm



$I_D$ - $V_G$  特性



$I_D$ - $V_D$  特性

- ・オン/オフ比: 約  $10^3$
- ・メモリウィンドウ: 4V
- ・電界効果移動度:  
 $\mu_{FE}$  = 約  $3.0\text{cm}^2/\text{V}\cdot\text{s}$
- ・動作電圧 ( $V_G=V_D=8\text{V}$ )  
でのオン電流: 1mA

チャンネル幅1μmのオン電流  
 $8.3 \times 10^{-6}\text{A}/\mu\text{m}$

オン電流の解析により

強誘電体で制御している電荷量:  
 $P(V_G)$  = およそ  $10\mu\text{C}/\text{cm}^2$

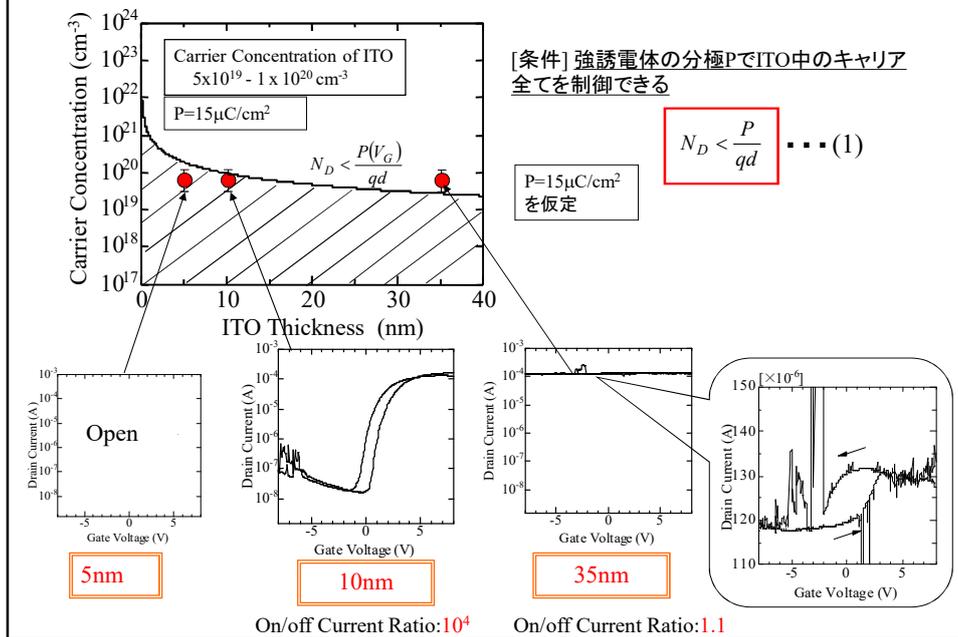


$\text{SiO}_2$ の限界:  
 $3.5\mu\text{C}/\text{cm}^2$

$\text{SiO}_2$ に比べ、強誘電体で大きな分極電荷を制御していることを確認

## ITOチャネルの膜厚依存性

9



## 導電性ITOをチャネルとしたTFT

強誘電体ゲート絶縁膜

従来の常誘電体より格段に大きな電荷量を制御可能



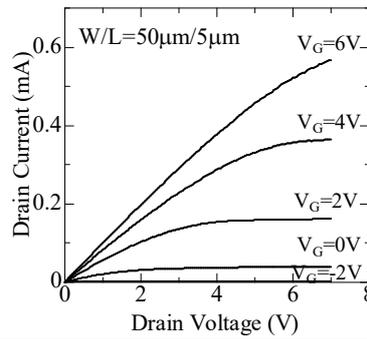
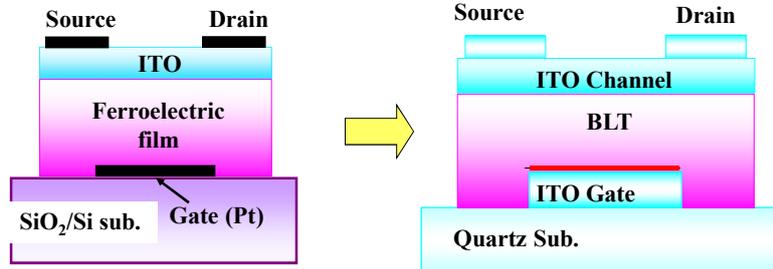
導電性ITOをチャネルとして利用可能(膜厚が薄い場合)  
 膜厚が厚い領域はソース/ドレインとして機能



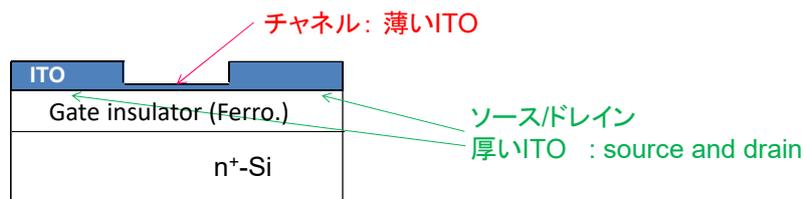
チャネル、ソース/ドレイン、局所配線をITOで形成可能

- 応用例 (1) NAND型メモリ構造  
 (2) チャネルとソース/ドレインの一括形成  
 (溶液プロセス)

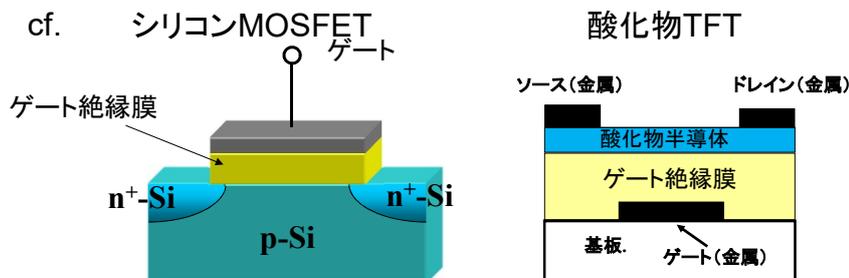
## Transparent Ferroelectric-Gate TFT



## ITOチャネル薄膜トランジスタ



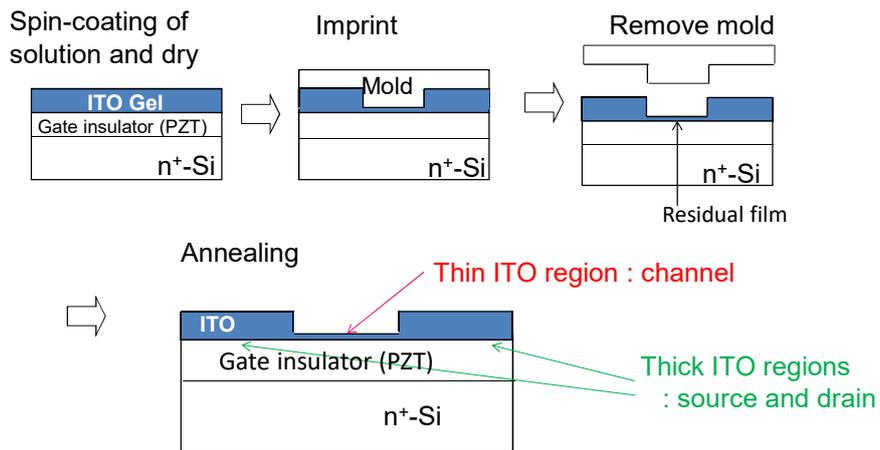
チャンネルとソース/ドレイン(電極)を同一材料で形成しながら、膜厚の差によって、それぞれの機能を発現



## ITOチャンネル薄膜トランジスタ

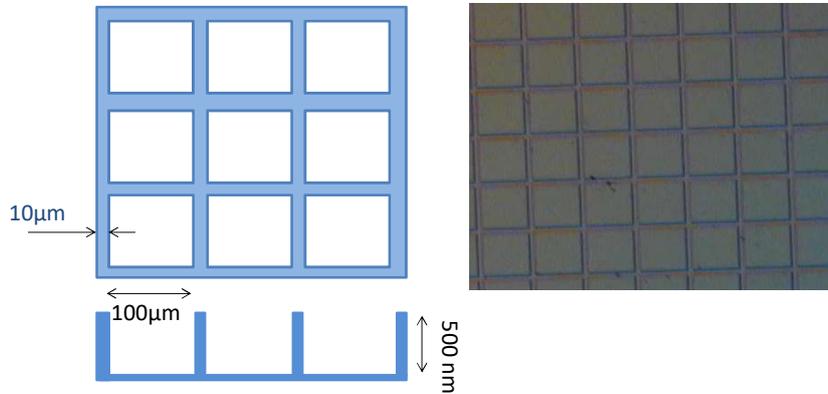
|            | チャンネル                           | ソース/ドレイン            |
|------------|---------------------------------|---------------------|
| シリコンMOSFET | SiO <sub>2</sub> /Si界面で形成される反転層 | n <sup>+</sup> -Si  |
| 酸化物TFT     | 酸化物半導体(低キャリア濃度)IGZOなど           | 金属                  |
| 本研究のデバイス   | 導電性酸化物(ITO) 10nm程度              | 導電性酸化物(ITO) 100nm程度 |

## Fabrication of TFT structures by n-RP



TFT 構造をたった1回のナノインプリント行程で作製。  
 チャンネルと、S/D および局所配線に同一の導電性酸化物(ITO)を使用し、これらを一括形成可能。

## 本研究で使したモード



### 使用した溶液

ITO(indium tin oxide)  
 In前駆体  $\text{In}(\text{acac})_3$       溶媒 プロピオン酸 (PrA)  
 Sn前駆体  $\text{Sn}(\text{acac})_2$       溶媒 PrA

※acac acetylacetonate

## n-RP of ITO

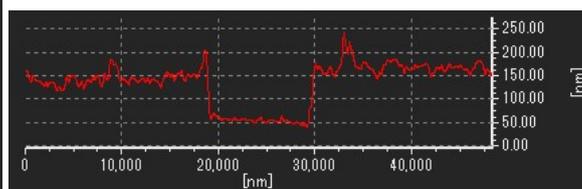
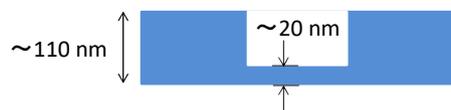
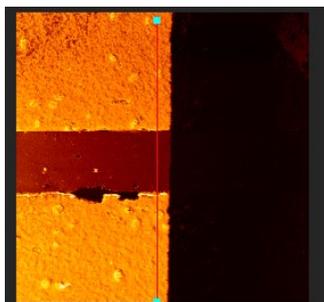
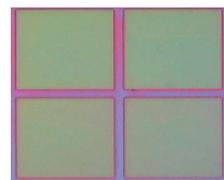
### Nanoimprint conditions

Spin coating

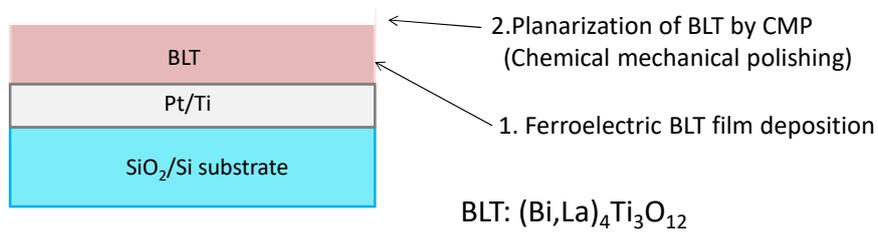
Dry 130°C, 5 min (140nm)

Nanoimprint

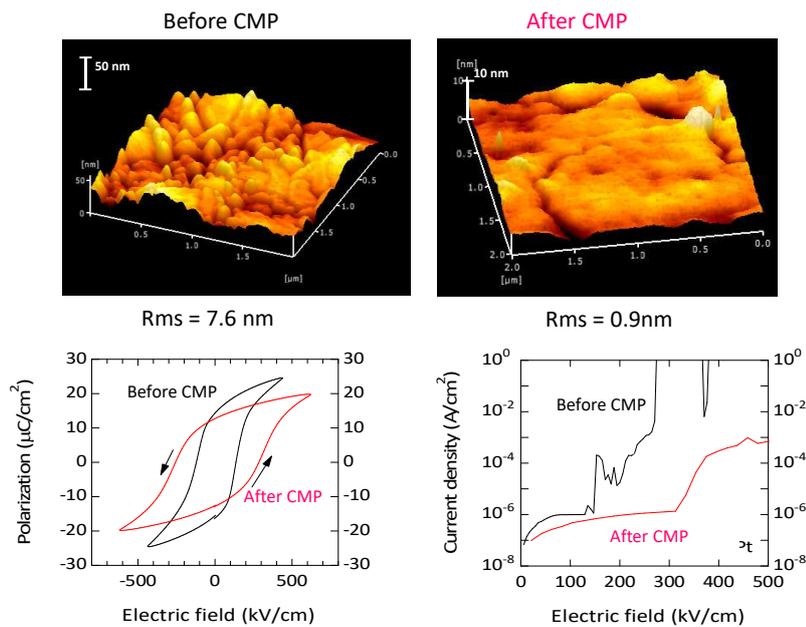
180°C, 5 min, 5.3-7.1 Mpa



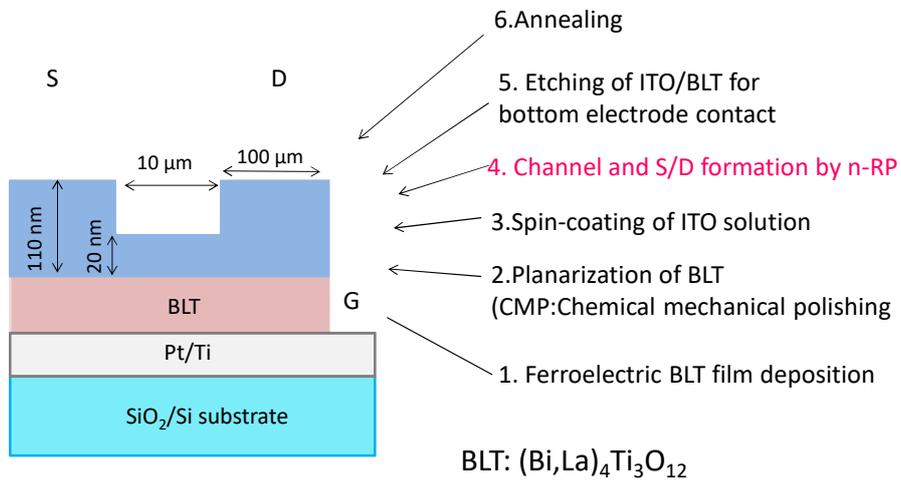
## TFT Fabrication Process



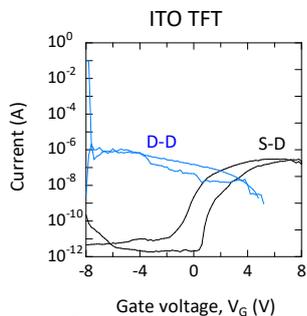
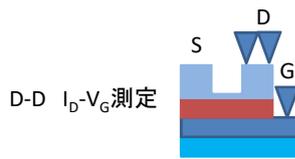
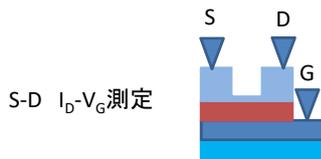
## Planarization of ferroelectric BLT film



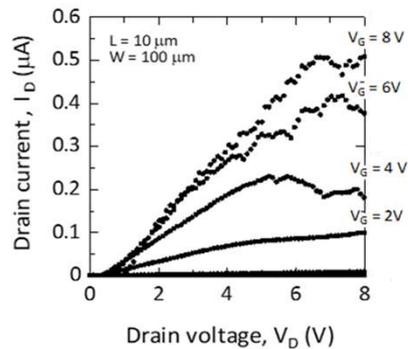
# TFT Fabrication Process



## 新規TFTのS/D電極の機能確認



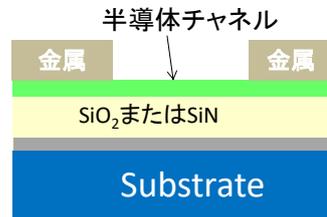
- D-D 測定 トランジスタ動作していない
  - S-D 測定 トランジスタ動作している (ON/OFF比  $10^4 \sim 10^5$ )
- チャネルとソース・ドレインの機能分離を確認



## デバイス動作の意義

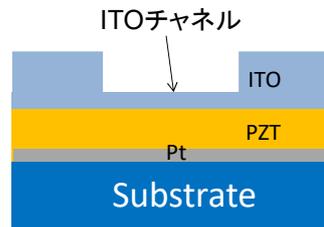
### 従来のトランジスタ

チャンネル: 高抵抗の半導体  
(低キャリア濃度)  
ソース/ドレイン: 低抵抗の金属



### 本研究のトランジスタ

チャンネル: 低抵抗のITO  
(高キャリア濃度)  
ソース/ドレイン: 低抵抗のITO  
◎同じ材料を用いて、膜厚の差で異なる機能を実現。



大電荷量を制御できる強誘電体ゲートで初めて可能になる。

## 強誘電体の負性容量を用いた急峻スロープMOSFET

強誘電体の負性容量を利用する提案 2008

Salahuddin and Datta, Nanolett. 8, 405 (2008).



新規HfO<sub>2</sub>系強誘電体の発見 2011

Böscke et .al. Appl. Phys. Lett. 99, 102903 (2011).

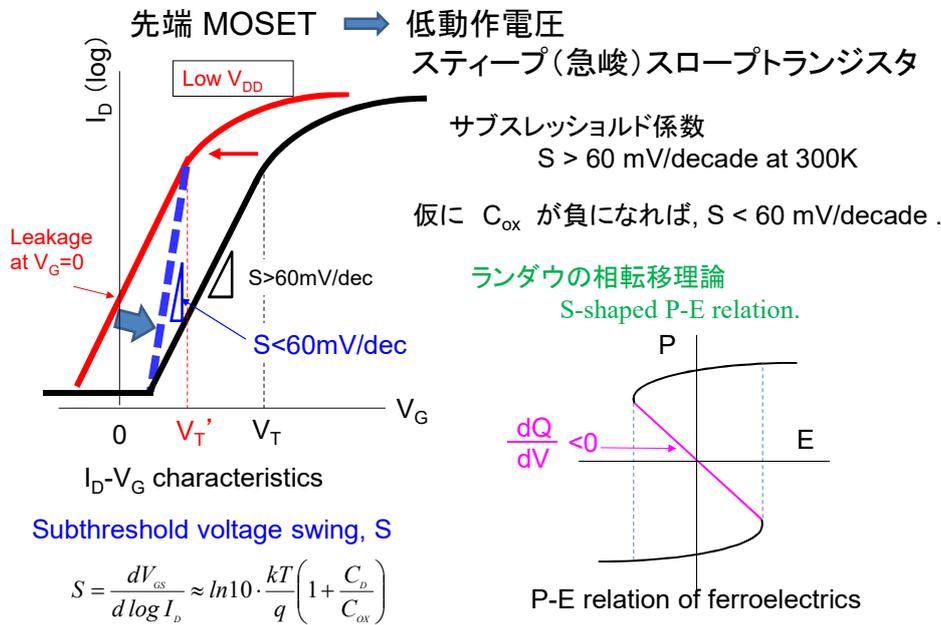


シリコンMOSFETへの応用が現実味 2015~

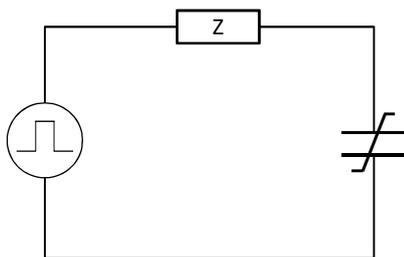
Lee et al. IEDM 2015

- ・そもそも負性容量が存在するのか？
- ・RC回路のパルス応答で見える？
- ・デバイスに適用すると、スティープスロープのトランジスタが実現できる。

## Steep slope FET



## 強誘電体キャパシタのパルス応答



強誘電体キャパシタに正パルス印加

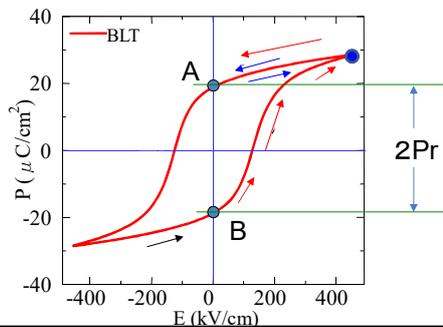
状態がAの場合

非反転電流(常誘電成分のみ)

状態がBの場合

反転電流 + 非反転電流

反転電流の時間積分 =  $2Pr$



## 強誘電体キャパシタのパルス応答

印加電圧パルス

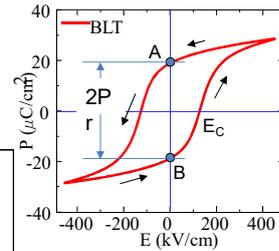
最初に負のパルスを印加して状態をBにする。

電流応答波形

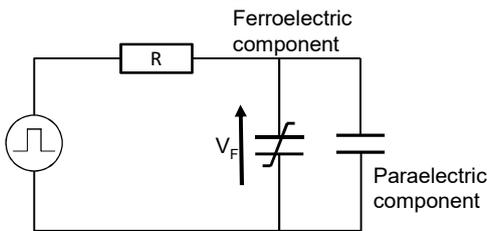
非反転電流(常誘電成分)

反転電流

反転電流成分: 1パルス目の応答 - 2パルス目の応答  
反転電流成分を積分すれば $2P_r$ の値が得られる。



## 簡単な解析



HfO<sub>2</sub>系強誘電体を想定  
10nm 比誘電率20  
電極サイズ 50ミクロン角

スイッチング時間  $t_s = 300$  ns  
強誘電体分極  $P_r = 20$   $\mu\text{C}/\text{cm}^2$

印加電圧3V,  $R=1$  k $\Omega$

Kolmogorov-Avrami-Ishibashi モデル

(1) 分極反転時の分極の時間変化を計算

(2) 反転電流、非反転電流から電流応答を計算

(3) 負荷抵抗の電圧降下を勘案して強誘電体キャパシタにかかる電圧を計算

(4) 全電荷量(分極+常誘電成分)と強誘電体キャパシタの電圧をプロット  
(負電圧領域は対称的にプロット)

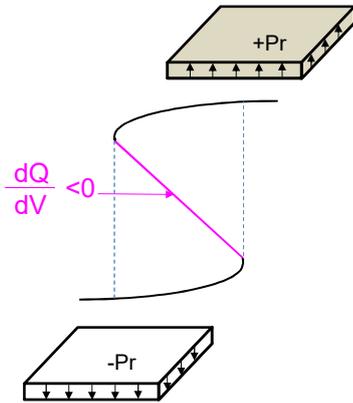
$$P = P_r \left[ 1 - 2 \exp \left[ - \left( \frac{t}{t_s} \right)^n \right] \right]$$

n: 形状因子、次元因子  
1.5~3.0まで変化させて計算

# ランダウ理論とKAIモデル

## ランダウ理論

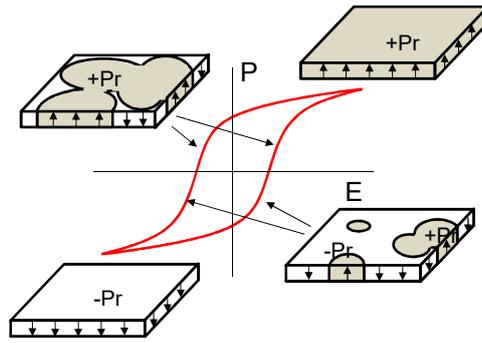
均一媒質の分極反転を仮定



S-shaped P-E relation.  
P=0 at E=0

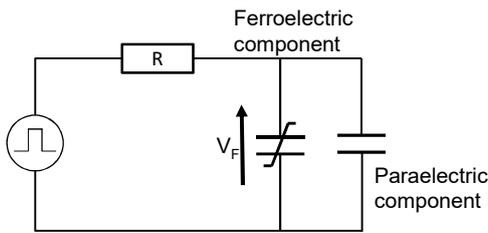
## KAIモデル (石橋モデル)

マルチドメイン  
遷移領域は +P ドメインと -P ドメインの面積比で表現



Hysteresis in P-E relation  
P=0 at E=±E<sub>C</sub>

## 簡単な解析



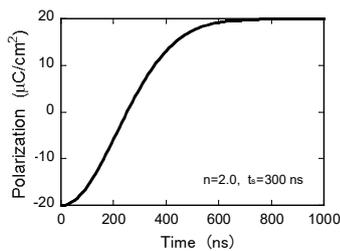
HfO<sub>2</sub>系強誘電体を想定  
10nm 比誘電率20  
電極サイズ 50ミクロン角

スイッチング時間 t<sub>S</sub> = 300 ns  
強誘電体分極 P<sub>r</sub> = 20 μC/cm<sup>2</sup>

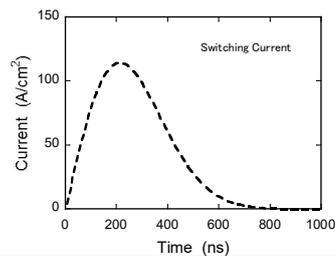
印加電圧3V, R=1 kΩ

(1) 分極反転時の分極の時間変化を計算

$$P = P_r \left\{ 1 - 2 \exp \left[ - \left( \frac{t}{t_S} \right)^n \right] \right\} \quad n=2.0 \text{を仮定}$$

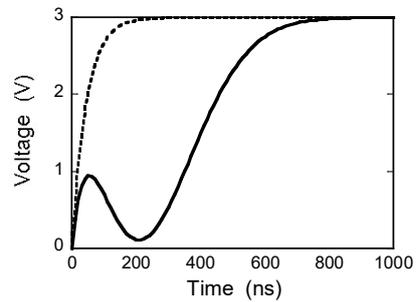
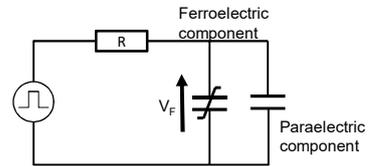
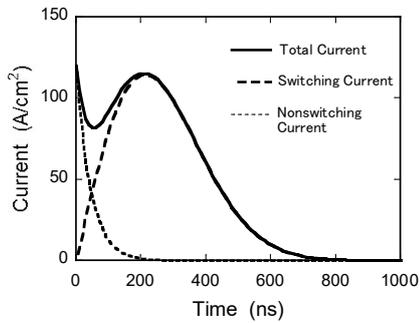


微分して  
反転電流を  
求める



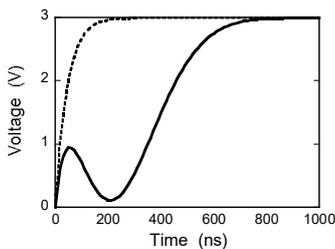
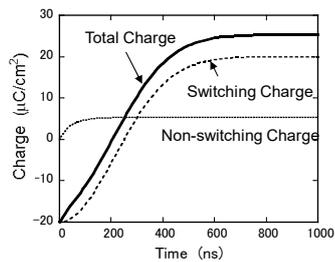
## 電流応答と再構築したヒステリシス

(2) 非反転電流も含めた1パルス目の (2) R両端の電圧降下分を引いて $V_F$ を計算  
電流応答波形を計算

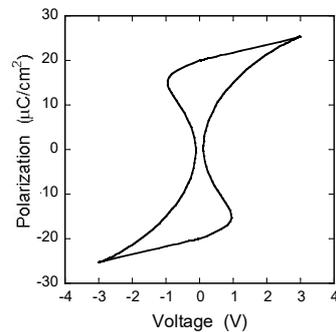


## 簡単な解析

(4) 全電荷量（分極+常誘電成分）と強誘電体キャパシタの電圧をプロット



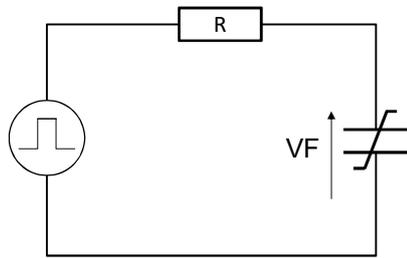
再構築したヒステリシス



負性容量のような特性が見える。  
強誘電体のS字曲線は考慮していない。

E. Tokumitsu, JJAP 2020

## 強誘電体キャパシタのパルス応答



強誘電体キャパシタに正パルス印加

分極反転を伴う場合

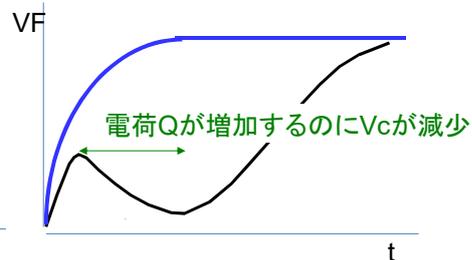
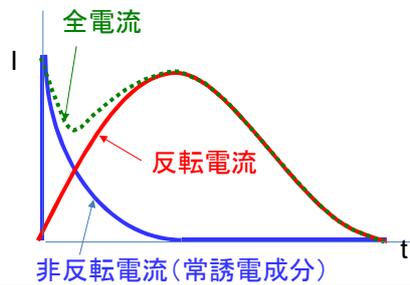
反転電流 + 非反転電流

反転電流の時間積分 =  $2Pr$

全電流

反転電流の影響で一度減少して再び増加。  
この時抵抗Rの電圧降下により、 $V_c$ が減少。  
(回路的には負性容量)

電流応答波形



## まとめ

### 1. 強誘電体ゲートトランジスタ(不揮発性メモリ)

- ・微細化可能な不揮発性メモリ素子。HfO<sub>2</sub>系材料に期待。
- ・電荷不整合の問題は考慮すべき。
- ・ニューロモルフィック応用へも期待。

### 2. 大電荷制御と導電性酸化物を利用した新デバイス

- ・導電性酸化物ITOをチャンネルとソース/ドレインの両方に利用。
- ・トランジスタと局所配線の一括形成。
- ・溶液プロセスとナノインプリントの融合による新プロセス。

### 3. 強誘電体ゲート絶縁膜

- ・強誘電体負性容量は回路動作。S時曲線ではない(と思う)。
- ・強誘電体ゲート絶縁膜によりスティープスロープが得られることは実験事実であり、寄生成分を含めた詳細な解析が必要。
- ・強誘電体は次世代トランジスタ用ゲート絶縁膜としての期待大。

## まとめ

---

溶液プロセスは、スパッタやMBEなど従来の薄膜堆積法の安価な単なる代替技術ではなく、溶液プロセスならではの機能性の創出、新しいデバイス作製プロセス、新しい学問体系の構築など、多くの可能性を持つ技術である。

## 謝辞

---

日本板硝子材料工学助成会から研究助成をいただきました。関係各位に感謝いたします。