

# 30nm 微細化のための結晶化温度 600°C ペロブスカイト型強誘電体による高信頼性 FeFET の開発

産業技術総合研究所 高橋光恵

Bismuth-Layered-Perovskite Ferroelectrics Crystallized at 600°C for  
Developing Highly Reliable FeFETs with 30 nm Downsized Gates

Mitsue Takahashi

National Institute of Advanced Industrial Science and Technology (AIST)

Si 半導体の強誘電体ゲート電界効果トランジスタ FeFET は 1 トランジスタ型 Si 半導体不揮発メモリ素子でありビスマス層状ペロブスカイト強誘電体の一種である  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT) や  $(\text{Ca,Sr})\text{Bi}_2\text{Ta}_2\text{O}_9$  (CSBT) の SBT 系強誘電体を用いることで純粋に強誘電性により動作する。SBT 系材料の SBT, CSBT は強誘電性分極  $P_F$  の振幅が最大でも  $2\mu\text{C}/\text{cm}^2$  に相当する電界  $E_F$  掃引によって抗電界  $E_c$  は  $2E_c = 60\text{kV}/\text{cm}$  を示す。この SBT, CSBT に特徴的な  $P_F - E_F$  履歴特性によって SBT 系 FeFET では僅か  $\pm 2\mu\text{C}/\text{cm}^2$  の電荷面密度相当のゲート充放電による記憶書換が可能である。その材料物性によって SBT 系 FeFET は Si からの電荷注入・捕獲の相乗しない純粋な強誘電性による  $10^9$  回以上の書換耐性を獲得している。半導体の 28nm 成熟プロセスを仮定しても  $0.12\text{fJ}/\text{bit}$  の超省エネ書換が  $\pm 2\mu\text{C}/\text{cm}^2$  の動作によって保証される。この超省エネ性能を目指して素子構造の変更に 2021 年に成功した。従来の平板構造よりも微細化に有利なりプレースメントゲート構造を採用した SBT 系 FeFET の製法で、ゲート長  $L = 85\text{nm}$ 、 $10^9$  回高書換耐性、外挿 10 年記憶保持を実証した。本研究助成を受けて、ビスマス層状ペロブスカイト強誘電体の中から SBT, CSBT よりも結晶化温度が低いことを条件に Si 半導体 FeFET に適合する他の候補を現在探索中である。完成すれば高書換耐性の Si 半導体 FeFET を将来さらに微細化できると考えている。また本稿では、多結晶強誘電体薄膜における強誘電性分極の時間過渡的な反転過程の物理に基づく最新の理論モデル EKAI を紹介する。このモデルは現実の SBT 系 FeFET の動的挙動の実験事実を正確に再現することでその妥当性が実証された。

Si-based ferroelectric-gate-field-effect-transistors (FeFETs) are one-transistor-type non-volatile-memory devices working purely by ferroelectricity when the ferroelectrics are  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT) and  $(\text{Ca,Sr})\text{Bi}_2\text{Ta}_2\text{O}_9$  (CSBT) regarded as bismuth-layered-perovskite ferroelectric materials. The SBT-type materials, SBT and CSBT, show coercive field  $E_c$  of  $2E_c = 60\text{ kV}/\text{cm}$  at an electric field  $E_F$  swing corresponding to the ferroelectric-polarization  $P_F$  amplitude  $2\mu\text{C}/\text{cm}^2$  at most. Owing to the  $P_F - E_F$  loops characteristic to the SBT and CSBT, the SBT-type-FeFETs can be programmed-and-erased with the very small charge-and-discharge area density of  $\pm 2\mu\text{C}/\text{cm}^2$  on the gates. The material nature provides the SBT-type-FeFETs with benefits of  $10^9$ -cycles or higher endurances due to the working mechanism purely by ferroelectricity without charge injection from Si and the trapping. Ultra-low power

consumption of 0.12 fJ/bit in the FeFET program-and-erase operations would be guaranteed by the  $\pm 2 \mu\text{C}/\text{cm}^2$  operations even if a mature semiconductor process of 28 nm was applied to the FeFET manufactures. Aiming for the ultra-low-power-consumption quality, a new structure of the device was successfully developed in 2021. It was an area-scalable replacement-gate structure introduced to the SBT-type-FeFETs which used to have planer-gate ones. The replacement-gate SBT-type-FeFETs showed advantages of the gate length  $L = 85 \text{ nm}$ ,  $10^9$ -cycles-high endurance and long stable retentions expected by the 10-years extrapolated curves. Thanks to the grant by NSG foundation, we are investigating the other candidate ferroelectrics of bismuth-layered-perovskite materials from the perspective of lower crystallization temperatures than the SBT and CSBT. The next materials will ensure further downsizing of the high-endurance Si-based FeFETs in the future. In this manuscript, a newly developed theoretical model named EKAI is also introduced which is based on physics of transient process of ferroelectric polarization switching in poly-crystallized ferroelectric films. The validity of the model has been demonstrated by the precise reproduction of the experimental dynamic response of the real SBT-type-FeFETs.

## 1. 背景

近年環境問題が強い危機感を持って認識され、今コスト増を甘受してでも全世界で省エネを進めなければ後で激甚の自然災害などの形で大きなツケを払うことになると言われていた。半導体不揮発メモリに対しても従来比で格段の低消費電力化の要請がある。もしも製造コスト最優先であればシリコン(Si)半導体プロセスを駆使したフラッシュメモリ素子に敵うものは無い。しかし動作中の省エネ性能に着目すると原理的にもっと優れた素子がある。筆者らはその一つの候補である強誘電体ゲート電界効果トランジスタ(FeFET)を微細化する作製プロセスを研究している<sup>[1]</sup>。FeFETとはゲート電極直下の強誘電体の分極保持でチャンネルのON/OFF状態を不揮発記憶する1トランジスタ(Tr.)型半導体不揮発メモリ素子である。強誘電体として $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT),  $(\text{Ca,Sr})\text{Bi}_2\text{Ta}_2\text{O}_9$  (CSBT)を用いたSBT系FeFETは電荷注入・捕獲の相乗しない純粋な強誘電性による $10^9$ 回以上安定な書換が実証されている<sup>[1,5,6,13]</sup>。半導体集積回路の省エネは結局のところ、配線・論理演算トランジスタ・メモリセルの回路全体で単位時間あたり移動する電子の数と移動時に受ける抵抗の大きさ、抵抗を受けながら移動する距離をいかに削減するかに掛かっている。これに貢献する方針としてFeFETにおいては記憶書換に要するゲート充放電電荷量を小さくすることが格段の省エネ実現の鍵となる。省エネの観点からは当然ながら、ゲート直下の強誘電体を貫通する電流を許容することは出来ない。

## 2. 強誘電体に対する要請の大きな違い：FeFET vs. MFM

FeFETのゲート構造は金属(M)-強誘電体(F)-絶縁体(I)-半導体(S)のMFIS積層構造である。多様な金属元素と高い反応性を持つSiをSに用いるSi半導体FeFETの場合は特にバッファとしてI層を意図的に成膜することで半導体Sの材料が強誘電体F材料と相互拡散反応を起こしてFの強誘電性が損なわれるのを避ける。Si半導体FeFETの作製プロセス中には必ず熱酸化シリコン( $\text{SiO}_2$ )の界面遷移層(IL)がSiと絶縁体Iの界面に形成される。比誘電率 $\epsilon_{\text{IL}}$ が約3.9の低誘電体ILを薄膜化する試みがFeFETの電圧動作低減に

効果的であることは実証されている [2]。しかし IL の成長が Si の界面準位を抑えてしきい値を安定化させる利点も期待できるため、実際の FeFET のゲート構造は IL の存在を意識して M-F-I-IL-S と書くほうが実情に合っている。図 1 (a) に素子の概略図を示す。M-F-I-IL-S 積層の各層の間で常に電束密度(真電荷が作る場)  $D$  が連続する。F 層の中で起こっていることは  $D = Q_F = \epsilon_0 \cdot E_F + P_F$  で表される。ここで、F の電荷面密度  $Q_F$ 、真空誘電率  $\epsilon_0$ 、真電荷が作る F 層の電界  $E_F$ 、分極電荷が作る場  $P_F$  である。 $P_F$  には強誘電成分と常誘電成分の両方が含まれている。ビスマス層状ペロブスカイト強誘電体などのいわゆる「比誘電率の大きい強誘電体」に対して不揮発記憶を書込む瞬間は、 $\epsilon_0 \cdot E_F \ll P_F$  である。従って、記憶書込みの瞬間は  $Q_F \approx P_F$  と見做すことができる。

図 1 (a) 中の FeFET 内部の F に直接プローブを当てて測定することは出来ないが、文献 3 の解析方法を用いることで強誘電体に加わる電界  $E_F$  とそれに応じた強誘電性分極  $P_F$  の関係(図 1 (b))が正確に分かる。従って、直接は測れない FeFET 内部の F を直接測れる上部金属電極によって強誘電体が挟まれた強誘電体キャパシタ(MFM)の F (図 1 (c))と正確に比較することが可能になる。特に SBT 系強誘電体を F に用いた FeFET とキャパシタについては詳細に調べられており、図 2 (a)-(c) のように FeFET 内部の F が MFM キャパシ

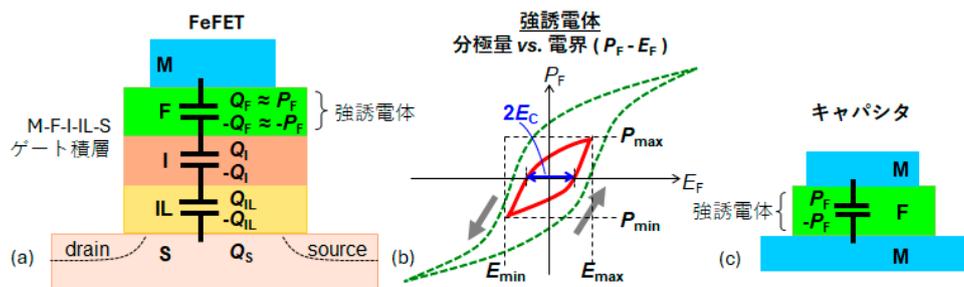


図 1 (a) FeFET の断面概略図。(b) 強誘電体の  $P_F$ - $E_F$  特性。SBT 強誘電体で得られる典型的な形を模した。緑色の破線ループは飽和分極特性を、赤い実線ループは非飽和分極特性を示す。(c) 強誘電体 MFM キャパシタの断面概略図。(a) の Si 半導体 FeFET 中の F は (b) で定義するところの  $(P_{max} - P_{min}) / 2 \leq 2 \mu\text{C}/\text{cm}^2$  ルールを守らなければ  $Q_{IL}$  が大きくなりすぎて IL に電荷注入・捕獲を起し  $V_{th}$  の精密制御できなくなるため赤実線の非飽和分極特性しか使えないことが多い。一方、(c) の MFM キャパシタの F ではその制約が無いので  $E_F$  を大きくして (b) の緑破線の飽和分極特性を描いても問題ない。文献 1 で使用した図を改変した。

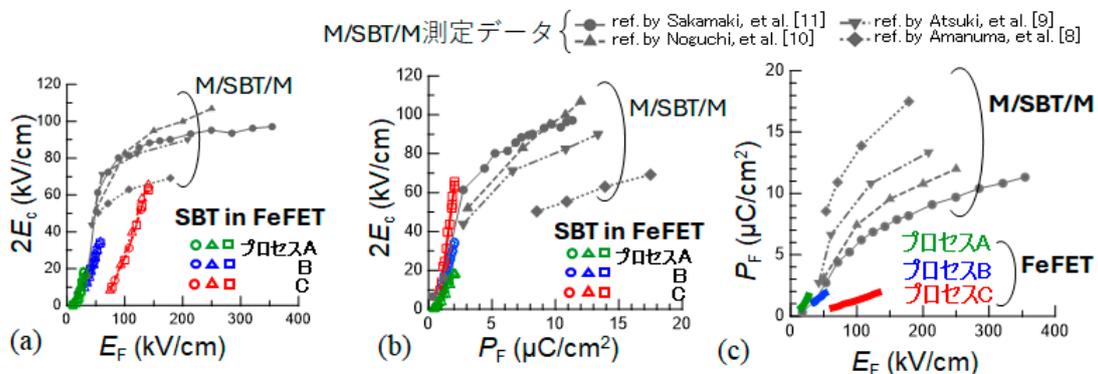


図 2 高書換耐性を有する FeFET 内部の CSBT と MFM の単体 SBT の物性比較。異なる製法 A, B, C で作製した SBT 系 FeFET について、文献 3 の解析方法で各 2 変数間の相関を抽出した。こうすることで FeFET のゲート積層に埋もれている F の性質を別の MFM キャパシタの測定結果と直接的に比較可能になる。(a)  $2E_c$ - $E_F$  特性。(b)  $2E_c$ - $P_F$  特性。(c)  $P_F$ - $E_F$  特性。図 (c) は (a) と (b) から  $2E_c$  を媒介変数として消去することで得られる。文献 3 で使用した図を改変した。

タ中の F とほぼ同一の  $P_F$ - $E_F$  曲線上に乗るかどうかは作製プロセスによって異なることが確かめられている<sup>[3]</sup>。図中では、高書換耐性が実証された FeFET から抽出したデータを着色(緑、青、赤色)したマーカーで表し、MFM から抽出したデータを灰色のマーカーで表した。図に見られる着色と灰色のマーカー位置の偏りは、FeFET と MFM とでは強誘電体に対する要請が大きく違うことを示唆している。実際に、MFM では大きな  $P_F$  を積極的に利用する目的で飽和分極量をいかに大きくするかを追求した研究報告例が多い。対して FeFET では後述のように「非」飽和分極状態を利用するため小さい  $P_F$  でいかに大きくかつ安定・高再現性の  $E_c$  を利用できるかが重要となる。この要請の違いは即ち材料選択の基準の違いとなる。

### 3. Si半導体FeFETに適用可能な強誘電特性の基本条件

図 1 (a) に示唆したように F、I、IL の 3 層は直列接続のキャパシタと疑似的に見做せることから、常時、各層の誘電分極量の大きさは互いに等しく、かつ S に誘起される表面電荷面密度  $Q_s$  の大きさとも等しい。F の分極量  $P_F$ 、I の電荷面密度  $Q_I$ 、同様に IL の電荷面密度  $Q_{IL}$  と表記すると、MFI (IL) S ゲート積層を持つ FeFET では  $|P_F| \approx |Q_I| = |Q_{IL}| = |Q_s|$  であり、これは構成材料や膜厚や動作電圧条件などに左右されない普遍則である<sup>[1,3]</sup>。この式  $|P_F| \approx |Q_I| = |Q_{IL}| = |Q_s|$  を起点に考えると外部から印加される静的なゲート-基板間電圧  $V_g$  に対する FeFET 内部の各層の静電応答が明確に理解される。まず F については、図 2 (c) のように可視化された  $P_F$ - $E_F$  特性から  $P_F$  の値に対応した  $E_F$  が定まる。膜厚を掛ければ F の電位差が分かる。次に I と IL については、比誘電率  $\epsilon_I$ ,  $\epsilon_{IL}$  が既知の定数であれば  $|Q_I| = |Q_{IL}|$  から各電界  $E_I$ ,  $E_{IL}$  が  $E_I = Q_I / \epsilon_I \cdot \epsilon_0$ ,  $E_{IL} = Q_{IL} / \epsilon_{IL} \cdot \epsilon_0$  のように求まり、膜厚を掛けて I, IL の電位差が分かる。最後に S については、 $Q_s$  と表面電位  $\Psi_s$  の関係が良く知られている<sup>[4]</sup>。 $V_g$  は常に、これら F, I, IL, S 各層の電位を加算した値になる。

FeFET から強誘電体を除いた非記憶 MOS FET のチャネルの ON/OFF 動作を考えてみると、 $Q_s$  が僅か  $|Q_s| < 0.1 \mu\text{C}/\text{cm}^2$  の範囲で ON と OFF の状態を行き来できることが文献 4 の  $Q_s$ - $\Psi_s$  曲線からも示唆される。実際に、MOS FET のしきい値  $V_{th}$  は厳密に制御されて変動することなくかつ ON/OFF サイクルは無制限繰り返し可能と言われるが、その高性能の一因は MOS FET のゲート絶縁膜に加わる電界が十分に小さいことである。

このような MOS FET のゲート絶縁膜に強誘電体を挿入することを考える。動作中の  $|Q_s|$  即ち  $|P_F|$  を  $0.1 \mu\text{C}/\text{cm}^2$  未満に仮に限定してしまうと、残念ながら大半の強誘電体材料にとっては厳しく小さすぎてこの程度の小値で抗電界  $E_c$  を発現する無機材料が今筆者の知る限り無い。仕方ないのでこの 20 倍の  $|P_F|$ 、約  $2 \mu\text{C}/\text{cm}^2$  程度まで強誘電体材料の選定条件を緩和するならば、ようやく筆者らが研究しているビスマス層状ペロブスカイト強誘電体 SBT, CSBT が候補に入る。これらは  $|P_F| \leq 2.0 \mu\text{C}/\text{cm}^2$  に相当する掃引電界振幅でも  $2E_c = 60 \text{ kV}/\text{cm}$  を示す作製条件が有り<sup>[3]</sup>、これを用いた FeFET は高書換耐性を示している<sup>[2,5,6]</sup>。この時、FeFET の静的メモリウィンドウ  $V_w$  は単純には  $2E_c$  に強誘電体膜厚  $d_F$  を掛けた  $V_w = 2E_c \times d_F$  と見積もられ、例えば  $d_F = 100 \text{ nm}$  ならば  $V_w = 0.6 \text{ V}$  となり FeFET の実測結果と合う。FeFET 内部の SBT, CSBT は  $|P_F| \leq 2.0 \mu\text{C}/\text{cm}^2$  の制約によって非飽和分極状態(図 1 (b) の赤色の実線曲線)にある。 $P_F$  の制約が無ければさらに大きい  $E_F$  振幅を与えることで飽和分極状態(図 1 (b) の緑色の破線曲線)に至り  $|P_F|$  は  $10 \sim 20 \mu\text{C}/\text{cm}^2$  程度で飽和する<sup>[7-11]</sup>。もし仮に SBT 系 FeFET に対して  $|P_F| > 2.5 \mu\text{C}/\text{cm}^2$

を許容してしまうと、大きな  $V_w$  を利用したいという短絡的期待に反して、実験結果では  $V_w$  はむしろ狭くなり、かつ書換耐性を損なう<sup>[12]</sup>。原因は、 $|P_F| \approx |Q_{IL}|$  のルールによって電界  $E_{IL}$  が大きくなりすぎ Si 側からの電荷注入・捕獲の効果で  $V_{th}$  が制御できなくなったからであると考えられる。単純な試算ではもしも  $|P_F| = 3 \mu\text{C}/\text{cm}^2$  なら  $|E_{IL}| = |Q_{IL}| / (\epsilon_{IL} \cdot \epsilon_0) = 8.7 \text{MV}/\text{cm}$  となり  $\text{SiO}_2$  同等の IL の破壊電界強度約  $10 \text{MV}/\text{cm}$  に近い。そのような高電界を正負向きに多数回繰り返し与え続けられれば IL 界面への電荷捕獲の効果が重畳して FeFET の  $V_{th}$  が定まらなくなり書換耐性を損なうのは疑う余地が無い。SBTに限らずどのような強誘電体材料を導入したとしても Si 半導体 FeFET の Si 界面に IL が全く出来ないとは考えにくい。従って、Si 半導体 FeFET に適用できる強誘電体材料は極小さい  $P_F$  でも  $2E_c$  を利用できる材料と言うことが出来る。具体的には最悪でも  $2.5 \mu\text{C}/\text{cm}^2$  を超えない  $|P_F|$  に相当する電界掃引で FeFET の不揮発記憶書換を完結させることが Si 半導体 FeFET の高書換耐性の担保に必要な条件である<sup>[12-14]</sup>。

この微小な  $P_F$  振幅に対応した  $2E_c$  が不揮発記憶の 2 値を区別できる程度に大きいかどうかは MFM キャパシタの  $P_F$ - $E_F$  特性から予測できる。CSBT は  $E_F = 140 \text{kV}/\text{cm}$  で  $P_F = 2 \mu\text{C}/\text{cm}^2$  を示しこの時  $2E_c = 60 \text{kV}/\text{cm}$  であるからこの条件をクリアしている<sup>[3]</sup>。しかし他の材料例えば  $\text{HfO}_2$  系強誘電体はこの条件に適合しない  $P_F$ - $E_F$  特性を持っているように見える<sup>[15]</sup>。  $P_F$  の小振幅での安定制御が難しいような  $P_F$ - $E_F$  特性を特徴とする強誘電体材料を Si 半導体 FeFET に無理に導入しても、半導体側からの電荷注入・捕獲の効果が重畳して書換後の  $V_{th}$  が安定しないか、もしくは、その材料にとっては小さすぎて不安定な  $|P_F|$  を利用することで多数 FeFET 間の特性ばらつきが大きく大規模集積に耐えられないかのいずれかとなるであろう。

#### 4. 格段の省エネを実現するためのFeFET微細化

前述 3. で説明した  $P_F$  の小振幅条件をクリアする強誘電体を導入することで、Si 半導体 FeFET は高書換耐性のみならずゲート微細化により格段の省エネ性能を発揮する。例えば SBT 系については、文献 [2] の値である  $V_g = 3.3 \text{V}$ 、 $|P_F| = 2.5 \mu\text{C}/\text{cm}^2$  に加えて将来ゲート長  $L = 30 \text{nm}$  を達成すると、これを最小加工寸法として記憶書換時のゲート充放電で消費するエネルギーは 1 素子あたり  $2 |P_F| \times V_g \times L^2$ 、即ち  $0.12 \text{fJ}/\text{bit}$  の格段の省エネ性能が見込める計算になる。半導体分野ではレガシーノードと称される  $28 \text{nm}$  プロセスで製造しても、他方式のエマージングメモリや成熟したフラッシュメモリセルより消費電力は極めて少ない。当然ながら、このような格段の省エネを実現するには MFIS ゲート積層構造を貫通する電流は許容されない。FeFET ゲート積層のリーク電流  $I_g$  については、動作電圧  $V_g$  全範囲に渡ってゲート - 基板間の静的電流密度が  $100 \text{nA}/\text{cm}^2$  以下であること<sup>[5,16]</sup> は経験的に得られたひとつの目安となる。FeFET 内部の強誘電体膜厚  $d_F$  については、 $2E_c = 60 \text{kV}/\text{cm}$  で  $d_F = 100 \text{nm}$  ならば  $V_w = 0.6 \text{V}$  の静的メモリウィンドウが得られる。しかし半導体集積回路内での実際の動作条件を考えると、実用的な  $V_g$  印加は静的ではなくパルス的である。パルス  $V_g$  印加によるパルスメモリウィンドウはパルス時間幅が短いほど静的  $V_w$  よりも小さくなる<sup>[1,6,16]</sup> ため、仮に  $2E_c$  が  $2E_c < 60 \text{kV}/\text{cm}$  のように小さい場合はそれを見越して  $d_F$  を厚くする素子設計でパルスメモリウィンドウを確保しなければならない。従って従来のプレーナゲート型 SBT 系 FeFET では  $d_F$  を極薄膜にすることは出来ず  $100 \text{nm}$  以上を要した<sup>[16]</sup>。

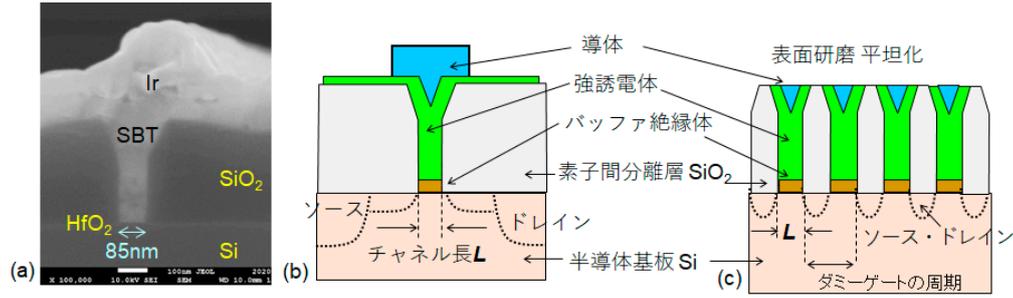


図3 リプレースメントゲート製法による SBT 系 FeFET<sup>[1]</sup>。(a)  $L=85\text{nm}$  素子の断面写真と (b) 同素子の模式図。(c) 同製法による素子を面内細密に並べた仮定の模式図。本製法の利点は、(1)ゲート積層構造の形成時に強誘電体をエッチングしなくて済む、(2)製造工程の後半までは強誘電体がプロセスに混入しない、(3)強誘電体の成膜厚さが最小で溝幅  $L$  の半分で済み、 $L$  と共に縮小されることである。文献1で使用した図を改変した。

SBT 系 FeFET で単素子あたりの基板占有面積を微細化するには素子構造を変える必要があった。効果的にチャンネル面積を小さくするひとつの方法は素子構造をプレーナゲート型からリプレースメントゲート型に変更することである。この素子構造を採用した SBT 系 FeFET において筆者らが 2021 年に  $L=85\text{nm}$  で  $10^9$  回の高書換、外挿 10 年の長期記憶保持を実証した<sup>[1]</sup>。図 3(a) に実際の素子断面の走査型電子顕微鏡写真を、図 3(b) に断面構造を説明する模式図を示した。この素子を仮に高集積化するとすれば図 3(c) のようになる。

将来さらに微細化を進めるためには、FeFET 作製時のアニール温度を下げても Si 微細半導体プロセスに整合させる必要がある。従来 SBT-FeFET のアニール温度は SBT 結晶化のため  $780\sim 800^\circ\text{C}$  であったところ、いずれは  $500^\circ\text{C}$  未満に下げても短チャンネル効果を抑え配線工程でも許容される温度に近づけることが望ましい。作製プロセスの低温化を実現するひとつの方法は、SBT と類似の  $P_F-E_F$  特性を持ち結晶化温度の低い別の強誘電体を導入することである。特に本研究助成期間では、Si 半導体 FeFET への適用を前提に材料とその作製条件を探索した。候補として  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  (BIT) の Bi サイトの一部を希土類で置換した物質を挙げる。BIT は SBT と同様に Bi 層状ペロブスカイト強誘電体材料の一種である。過去に  $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$  を用いた FeFET 作製の報告があるが焼成温度  $750^\circ\text{C}$  と高温であり開発の着眼点が異なっていた<sup>[17]</sup>。本研究では、目標  $600^\circ\text{C}$  の低温アニールを目指して強誘電体 MFM キャパシタの作製と評価を繰り返すことで材料探索と作製方法の開発を進めた。その結果、ある組成の BIT 系材料がアニール温度  $640^\circ\text{C}$  の時に  $|P_F| \leq 2\mu\text{C}/\text{cm}^2$  制約下で  $2E_c=92\text{kV}/\text{cm}$  を示す強誘電体であることを突き止めた。図 4 に MFM 測定結果の一例を示した。前述のように、強誘電体薄膜を貫通するリーク電流の大

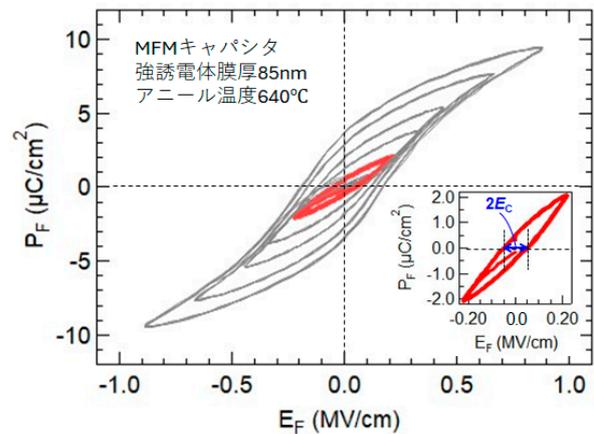


図4 FeFET 適用の目的で開発中のビスマス層状ペロブスカイト強誘電体の  $P_F-E_F$  特性の一例。ソーヤータワー回路を用い測定中の印加電圧には  $10\text{kHz}$  三角波を連続 5 周期与えた。本目的のために注目するのは赤い太線で描いた非飽和分極状態の  $P_F-E_F$  曲線で、これを挿入図に抜き出した。 $|P_F| \leq 2.0\mu\text{C}/\text{cm}^2$  で  $2E_c=92\text{kV}/\text{cm}$  を得た。

きさは試行する成膜条件の FeFET への適用可否を判断する重要な情報であるため、Positive-Up and Negative-Down (PUND) などの補正的測定方法を用いていない。PUND 測定法には実在するリーク電流成分と常誘電成分を見かけ上隠して強誘電成分のみを見せる効果があり、FeFET に適用した際の強誘電体材料の欠点も含めた実力を知りたいという本目的のためには不適當である。

## 5. Si半導体FeFETの動的な挙動についての実験事実

FeFET の静的なメモリウィンドウは、半導体パラメータアナライザのソースメジャーユニット (SMU) を用いたドレイン電流のゲート電圧依存性 ( $I_d$ - $V_g$ ) 測定が示す履歴曲線の電圧しきい値の左右幅から知ることができる<sup>[5, 18]</sup>。しかし、FeFET の集積メモリアレイセルとしての性能は静的なメモリウィンドウでは測れない。静的ではなく、速度を制御した  $V_g$  パルス印加による動的なパルスメモリウィンドウで調べる必要がある。FeFET のパルスメモリウィンドウの大きさは書換パルス  $V_g$  の掃引振幅とパルス時間幅の関数となる<sup>[1, 6]</sup>。FeFET への記憶書込はある時間幅を持ち振幅の大きい正または負の  $V_g$  パルスを印加して行う。記憶読出では記憶を書き換ええない程度に小さい  $V_g$  を印加してしきい値を検出する。FeFET の記憶書換即ち内部の強誘電体の分極反転には有限の応答時間を要するため、FeFET のパルスメモリウィンドウは静的メモリウィンドウよりも小さくなる。FeFET の場合、内部の強誘電体に印加される電界は 3. で述べたように  $|P_F| \leq 2 \mu\text{C}/\text{cm}^2$  の制約によって非飽和分極にとどめる程度の大きさであるから分極反転は相応に遅い。例えば SBT-FeFET の書換速度は凡そマイクロ秒程度であり<sup>[1, 6, 19]</sup>、これは商用のフラッシュメモリセルの書換速度と同等である。強誘電体メモリだから高速なはずであるという単純な認識は正しくない。しばしば混同して誤解される別方式の強誘電体メモリであるキャパシタ型の FeRAM では強誘電体に高い電界を印加して飽和分極を積極的に使うことでナノ秒レベルの高速な分極反転を利用できる。しかし動作方式と回路構成が全く異なることに起因して、省エネ性能、単位セルの集積度、読出し後の再書込など速度以外の多く特徴がトレードオフの関係性を持って異なっており両者の単純な比較は無意味である。

## 6. Si半導体FeFETの動的な挙動についての理論モデル化

FeFET の電気的特性の時間過渡応答、とりわけ、動的なパルスメモリウィンドウとそのパルス時間幅依存性について正しく再現できる理論モデルは従来存在しなかった。その原因は電界が時間とともに変化する系で多結晶強誘電体の小さな非飽和分極の挙動が適切にモデル化されていないからである。散見される不適切な例として、 $P_F$ - $E_F$  特性が電界の掃引速度依存性を含まない関数近似で仮定される安直なモデルでは、FeFET の動的な挙動を全く再現できない欠点が在る。この問題を解決するため新しく物理に基づくモデル EKAI (Extended Kolmogorov-Avrami-Ishibashi (KAI)) を提案した<sup>[20]</sup>。従来の KAI 理論では電界一定の下での反転分極の核形成と反転分極域の拡大の動特性を扱い、適用対象の強誘電体は単結晶かエピタキシャル膜に限定されていたところ、EKAI は対象とする強誘電体を多結晶体まで拡張し、印加電界の時間変化が扱えるようにした。この結果、EKAI を用いれば FeFET の動的なパルスメモリウィンドウとそのパルス時間幅依存性について実験事実を今までに無く忠実に再現できるようになった。本稿では省略するが EKAI の詳細な説明については原論文<sup>[20]</sup>を熟読されたい。

多結晶強誘電体の取り扱いについて説明を補足する。FeFET 作製プロセスでは強誘電体は外部から原料を輸送して成膜する(スパッタ、MOCVD、ALD など)ことに起因して単結晶ではなく多結晶と成り、作製方法によってその配向性が異なる。FeFET 内部の多結晶強誘電体に対して、印加電界は上部電極 - 基板間の一軸方向(ここでは  $z$  軸とする。)に正負符号で掃引されるが、強誘電体が本来持っている分極反転可能な「軸方向」は印加電界の向きとは関係なく結晶方位の面内分布に従い  $z$  軸との角度  $\theta$  を様々に持って分布している。この異方的な強誘電性は材料に固有である。例えば SBT では強誘電性が結晶格子の  $a$  軸には有るが  $b, c$  軸には無いことが知られている。実験的に FeFET ゲート直下の  $\theta$  の面内分布についての情報を得ることも出来る。例えば、上部電極を物理的に剥離して露出した強誘電体表面の結晶方位について面内分布を EBSD で観察するなどである<sup>[21]</sup>。

## 7. まとめ

筆者らが行っている Bi 層状ペロブスカイト強誘電体を用いた Si 半導体 FeFET の開発について現在の進捗も含めて紹介した。FeFET に適用可能な強誘電体材料は Si 界面の IL への電荷注入・捕獲を抑制できる程度の微小分極量  $|P_F| \leq 2\mu\text{C}/\text{cm}^2$  に相当する印加電圧掃引に対しても高い再現性で安定な  $2E_c$  を示すような材料である。この微小分極量での動作は 28nm 成熟プロセスで製造したとしても 0.12fJ/bit の各段の省エネを可能にする。素子微細化のために素子構造上はプレーナゲート型からリプレイスメントゲート型に変えることが有効である。また今後は強誘電体材料を従来の SBT より結晶化温度が低い強誘電体材料に変えて行く必要がある。本研究助成を得ていくつかの候補材料で FeFET 適用可能性を現在検証中である。最新の成果として分極反転の物理に基づいた理論モデルが開発され Si 半導体 FeFET のパルスメモリウィンドウなど動的な挙動について実験事実の正確な再現に成功したことも紹介した。

## 8. 謝 辞

共同研究者である産総研の招聘客員研究員酒井滋樹博士に感謝します。本研究の一部は令和 4 年度公益財団法人日本板硝子材料工学助成会の研究助成を受けて行われました。

## 参考文献

- [1] Takahashi, M.; Sakai, S. Area-scalable  $10^9$ -cycle-high-endurance FeFET of strontium bismuth tantalate using a dummy-gate process. *Nanomaterials* 2021, 11, 101. DOI: 10.3390/nano11010101
- [2] Zhang, W.; Takahashi, M.; Sasaki, Y.; Kusahara, M.; Sakai, S. 3.3V write-voltage Ir/Ca<sub>0.2</sub>Sr<sub>0.8</sub>Bi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/HfO<sub>2</sub>/Si ferroelectric-gate field-effect transistors with  $10^9$  endurance and good retention. *Jpn. J. Appl. Phys.* 2017, 56, 04CE04. DOI: 10.7567/JJAP.56.04CE04
- [3] Sakai, S.; Zhang, W.; Takahashi, M. Method for disclosing invisible physical properties in metal-ferroelectric-insulator-semiconductor gate stacks. *J. Phys. D Appl. Phys.* 2017, 50, 165107. DOI: 10.1088/1361-6463/aa622f
- [4] Sze, S.M. *Physics of Semiconductor Devices*, 2nd ed.; John Wiley & Sons: New York, NY, USA, 1981; Chapter 7.

- [5] Sakai, S.; Ilangovan, R. Metal-ferroelectric-insulator-semiconductor memory FET with long retention and high endurance. *IEEE Electron Device Lett.* 2004, 25, 369. DOI: 10.1109/LED.2004.828992
- [6] Zhang, W.; Takahashi, M.; Sakai, S. Electrical properties of  $\text{Ca}_x\text{Sr}_{1-x}\text{Bi}_2\text{Ta}_2\text{O}_9$  ferroelectric-gate field-effect transistors. *Semicond. Sci. Technol.* 2013, 28, 085003. DOI 10.1088/0268-1242/28/8/085003
- [7] De Araujo, C.A.P.; Cuchiari, J.D.; McMillan, L.D.; Scott, M.C.; Scott, J.F. Fatigue-free ferroelectric capacitors with platinum electrodes. *Nature* 1995, 374, 627-629. DOI: 10.1038/374627a0
- [8] Amanuma, K.; Hase, T.; and Miyasaka, Y. Preparation and ferroelectric properties of  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  thin films. *Appl. Phys. Lett.* 1995, 66, 221-223. DOI: 10.1063/1.113140
- [9] Atsuki, T.; Soyama, N.; Yonezawa, T.; Ogi, K. Preparation of Bi-Based Ferroelectric Thin Films by Sol-Gel Method. *Jpn. J. Appl. Phys.* 1995, 34, 5096-5099. DOI: 10.1143/JJAP.34.5096
- [10] Noguchi, T.; Hase, T.; Miyasaka, Y. Analysis of the Dependence of Ferroelectric Properties of Strontium Bismuth Tantalate (SBT) Thin Films on the Composition and Process Temperature. *Jpn. J. Appl. Phys.* 1996, 35, 4900 - 4904. DOI: 10.1143/JJAP.35.4900
- [11] Sakamaki, K.; Sakai, S. unpublished.
- [12] Yan, K.; Takahashi, M.; Sakai, S. Electrical properties of ferroelectric-gate FETs with  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  formed using MOCVD technique. *Appl. Phys. A Mater. Sci. Process.* 2012, 108, 835-842. DOI: 10.1007/s00339-012-6978-3
- [13] Sakai, S.; Zhang, X.Z.; Hai, L.V.; Zhang, W.; Takahashi, M. Downsizing and memory array integration of  $\text{Pt}/\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{Hf-Al-O}/\text{Si}$  ferroelectric-gate field-effect transistors. 2012 12th Annual Non-Volatile Memory Technology Symposium Proceedings, Singapore, 2012, pp. 55-59. Doi: 10.1109/NVMETS.2013.6632862
- [14] Takahashi, M., Sakai, S. (2020). Development of High-Endurance and Long-Retention FeFETs of  $\text{Pt}/\text{Ca}_y\text{Sr}_{1-y}\text{Bi}_2\text{Ta}_2\text{O}_9/(\text{HfO}_2)_x(\text{Al}_2\text{O}_3)_{1-x}/\text{Si}$  Gate Stacks. In: Park, B.E., Ishiwara, H., Okuyama, M., Sakai, S., Yoon, S.M. (eds) *Ferroelectric-Gate Field Effect Transistor Memories*. Topics in Applied Physics, vol 131. Springer, Singapore. DOI: 10.1007/978-981-15-1212-4\_2
- [15] Shimizu, T.; Katayama, K.; Kiguchi, T.; Akama, A.; Konno, T.J.; Sakata, O.; Funakubo, H. The demonstration of significant ferroelectricity in epitaxial Y-doped  $\text{HfO}_2$  film. *Sci. Rep.* 2016, 6, 32931. DOI: 10.1038/srep32931
- [16] Hai, L.V.; Takahashi, M.; Zhang, W.; Sakai, S. 100-nm-size ferroelectric-gate field-effect transistor with  $10^8$ -cycle endurance. *Jpn. J. Appl. Phys.* 2015, 54, 088004. DOI: 10.7567/JJAP.54.088004
- [17] Aizawa, K.; Park, B.-E.; Kawashima, Y.; Takahashi, K.; Ishiwara, H. Impact of  $\text{HfO}_2$  buffer layers on data retention characteristics of ferroelectric-gate field-effect transistors. *Appl. Phys. Lett.* 85 (2004) 3199. DOI: 10.1063/1.1806274
- [18] Takahashi, M.; Sakai, S. Self-aligned-gate metal/ferroelectric/insulator/semiconductor

- field-effect transistors with long memory retention. *Jpn. J. Appl. Phys.* 2005, 44, L800-L802. DOI: 10.1143/JJAP.44.L800
- [19] Zhang, X.; Takahashi, M.; Takeuchi, K.; Sakai, S. 64 kbit ferroelectric-gate-transistor-integrated NAND flash memory with 7.5 V program and long data retention. *Jpn. J. Appl. Phys.* 2012, 51, 04DD01. DOI: 10.1143/JJAP.51.04DD01
- [20] Sakai, S.; Takahashi, M. An Extended Kolmogorov–Avrami–Ishibashi (EKAI) Model to Simulate Dynamic Characteristics of Polycrystalline-Ferroelectric-Gate Field-Effect Transistors. *Materials* 2024, 17, 1077. DOI: 10.3390/ma17051077
- [21] Zhang, W.; Takahashi, M.; Sakai, S. Investigation of Ferroelectric Grain Sizes and Orientations in Pt/Ca<sub>x</sub>Sr<sub>1-x</sub>Bi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Hf-Al-O/Si High Performance Ferroelectric-Gate Field-Effect-Transistors. *Materials* 2019, 12, 399. DOI: 10.3390/ma12030399