

二次元半導体の自己制御表面酸化反応を利用した 極薄ゲート酸化膜形成法の開発

関西大学 システム理工学部 山本真人

Formation of Ultrathin Gate Oxides by Self-Limiting Surface Oxidation
of Two-Dimensional Semiconductors

Mahito Yamamoto

Faculty of System Engineering, Kansai University

原子一個から数個分の厚さしかない二次元半導体は優れた電界制御性を有することから、次世代のトランジスタチャンネル材料として期待されている。しかし、二次元半導体は表面にダングリングボンドを持たないため、原子層堆積法などの従来手法によって High- k ゲート絶縁膜を二次元半導体表面上に形成することは困難であった。本研究では、層状金属である二硫化タンタル (TaS_2) をオゾンに曝露することで形成した極薄の酸化タンタル (TaO_x) が優れた誘電性を示し、二次元半導体の一種である二硫化モリブデン (MoS_2) とファンデルワールスヘテロ積層することで MoS_2 トランジスタのゲート絶縁膜として機能することを明らかにした。作製した TaS_2 をゲート、 TaO_x をゲート絶縁膜、 MoS_2 をチャンネルとしたトランジスタでは、オン・オフ比 $>10^5$ 、サブスレッショルドスイング $\sim 120\text{mV/decade}$ の高性能動作を示し、ゲート掃引に対するヒステリシスも非常に小さいことが分かった。本研究結果は、 TaS_2 のオゾン酸化によって得られた TaO_x のゲート絶縁膜応用を期待させるものである。

Thanks to the atomically thin thicknesses, two-dimensional (2D) semiconductors are known to show great controllability under electrostatic gating, holding promise for applications in field-effect transistors (FETs). However, the integration of High- k gate oxides on 2D semiconductors by the conventional method such as the atomic layer deposition method is challenging because they have no dangling bonds on the surfaces, due to the van der Waals nature. In this work, we show that tantalum oxide (TaO_x) grown on TaS_2 by O_3 exposure possesses the high dielectric property and can be used as a gate insulator of 2D semiconductor FETs. We fabricated FETs by the van der Waals integration of MoS_2 and $\text{TaO}_x/\text{TaS}_2$ and found that the MoS_2 -based FETs show high on/off ratios as well as small subthreshold swings. Our results have important implications for applications of TaO_x grown on TaS_2 to gate insulators in 2D semiconductor FETs.

1. はじめに

遷移金属ダイカルコゲナイドや黒リンの原子層に代表される二次元半導体は、原子一個から数個分の厚さしか持たないことに由来し高い電界制御性を有するとともに、優れた半導体特性を示すことから電界効果トランジスタ (field effect transistor: FET) のチャンネル材

料として注目されている^{1,2)}。実際にこれまでの研究では、二次元半導体の一種である二硫化モリブデン(MoS_2)を用いてチャネル長が1nm以下の超短チャネルFETが実現されており³⁾、スケーリング限界以降の次世代エレクトロニクスへの実装化に対する期待が大きい。しかし、二次元半導体をエレクトロニクスに応用するためには解決すべき技術的課題がいくつか存在する。その一つとして、二次元半導体に適合する極薄High- k ゲート絶縁膜の形成技術の確立が挙げられる⁴⁾。通常、二次元半導体はシリコンとは異なり表面酸化によってゲート酸化膜を形成することが出来ないため、基板上に形成したゲート絶縁膜上に二次元半導体を転写するか、もしくは二次元半導体表面上に原子層堆積(atomic layer deposition: ALD)法などでゲート絶縁膜を形成する必要がある。しかし、二次元半導体は表面上にダングリングボンドを持たないためALD法で均一な絶縁膜を直接形成することは困難であった。そこで過去の研究では、二次元半導体表面上に形成した有機分子膜や液体金属からなる酸化膜をALD成長のシード層として利用することで、極薄のHigh- k 酸化膜を形成する手法が報告されている^{5,6)}。しかし、これらの極薄ゲート絶縁膜形成手法はプロセス性の観点から見ると必ずしも最適とは言えない。本研究では、二次元半導体エレクトロニクスの実現に向けて、既存の手法より高いプロセス性が見込まれるHigh- k ゲート絶縁膜の形成手法の開拓を目的とした。

2. 実験方法

2.1 極薄酸化タンタル膜の形成と絶縁性評価

本研究では、層状金属の一種である二硫化タンタル(TaS_2)表面上に極薄の酸化タンタル(TaO_x)膜を形成し、二次元半導体のゲート絶縁膜として応用することを試みた。過去の研究では、 TaS_2 を大気中300°Cで加熱することで絶縁性および誘電性の高い酸化タンタルが形成されることが報告されている⁷⁾。また、 TaS_2 をプラズマ酸化処理することでも TaS_2 表面に TaO_x 膜が形成されることが示されている⁸⁾。本研究では、酸化反応性の高いオゾン(O_3)を用いることで短時間での TaS_2 の酸化を試みた。過去の研究では、層状半導体である二セレン化タングステン(WSe_2)を O_3 に曝露することでlayer-by-layer酸化できることが報告されており⁹⁾、 TaS_2 でも同様に層数を制御した O_3 酸化ができる可能性を期待した。

TaS_2 はバルク単結晶から機械剥離したものを用いた。 O_3 処理後の TaS_2 の面直方向の電気伝導特性を評価するため、 TaS_2 はSi/SiO₂(90nm)基板上に予め形成した電極上に転写した。電極はフォトリソグラフィを用いてパターン形成した後、Ti(5nm)/Au(30nm)を抵抗加熱蒸着することで作製した(図1a)。電極上への TaS_2 の転写はポリジメチルシロ

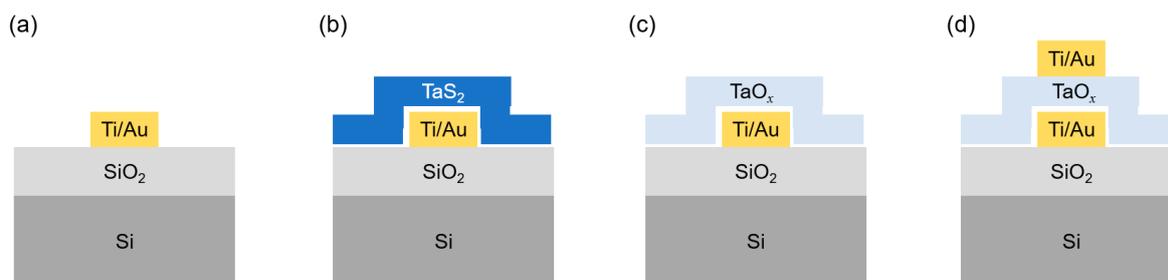


図1. TaS_2 の O_3 酸化と電極形成プロセス。(a)Si/SiO₂基板上に電極形成。(b)電極上への TaS_2 の転写。(c) TaS_2 への O_3 曝露。(d)形成した TaO_x 上への電極形成

キサン(dimethylpolysiloxane : PDMS)を用いて行った(図 1b)。TaS₂ の酸化は基板を O₃ 雰囲気中で 250℃で 10 分間加熱することで行った(図 1c)。その後、O₃ 処理した TaS₂ 上に再びフォトリソグラフィと抵抗加熱蒸着によって Ti (5nm) /Au (90nm) 電極を作製した(図 1d)。O₃ 処理した TaS₂ の電気伝導特性の評価は大気中、室温で行った。

2.2 極薄TaO_x膜をゲート絶縁膜とするMoS₂ FETの作製と評価

次に、TaS₂ を O₃ 処理することで得られた TaO_x 膜をゲート絶縁膜とする二次元半導体 FET の作製を試みた。上記と同様の方法で Si/SiO₂ (90nm) 基板上に作製したゲート電極上に転写した TaS₂ を 250℃で 10 分間 O₃ 処理した後、MoS₂ を転写した。その後、フォトリソグラフィによるパターン形成と Ni (10nm) /Au (100nm) の抵抗加熱蒸着によって MoS₂ 上にソースとドレインとなる電極を作製した。

さらに、TaS₂ の O₃ 処理時間を制御することで TaS₂ の表面層だけを選択的に酸化し、TaS₂ をゲート、TaO_x をゲート絶縁膜とする MoS₂ FET の作製を試みた。まず、Si/SiO₂ 基板上に機械剥離した TaS₂ 上に Ni (10nm) /Au (30nm) 電極を形成した(図 2a, b)。その後、基板を 250℃で 5 分間 O₃ 処理することで TaS₂ 表面に TaO_x を形成した。このとき、電極直下の TaS₂ は O₃ に直接曝露されないため酸化されないことを期待した(図 2c)。その後、TaO_x 上に MoS₂ を転写しソース・ドレイン電極となる Ni (10nm) /Au (100nm) 電極を形成した(図 2d)。TaO_x 膜をゲート絶縁膜とする MoS₂ FET の特性評価は真空中(～10⁻²Pa)、室温、暗所で行った。

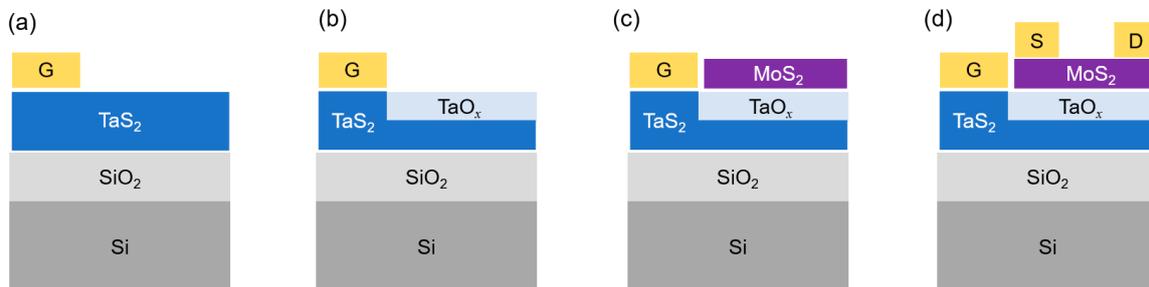


図 2. TaS₂ をゲート(G)、TaO_x をゲート絶縁膜とする MoS₂ FET の作製プロセス. (a, b) TaS₂ 上への電極形成と O₃ 曝露. (c) TaO_x 上への MoS₂ の転写. (d) MoS₂ 上へのソース(S)・ドレイン(D)電極の形成

3. 結果と考察

3.1 TaO_xの絶縁性評価

図 3a は電極上に転写した TaS₂ の光学顕微鏡像、図 3b は TaS₂ を 250℃で 10 分間 O₃ 処理し上部に電極を形成した後の光学顕微鏡像である。これらの光学顕微鏡像より O₃ 処理によって TaS₂ のコントラストが大きく変化したことが分かる。これは金属である TaS₂ が完全に酸化し、絶縁体である TaO_x が形成されたことを示唆するものである。また、図 3c に示すように TaS₂ の O₃ 処理によって形成した TaO_x の抵抗値は 1GΩ 以上であり高い絶縁性を有することが分かった。得られた TaO_x 膜は低電圧においては高い絶縁性を示したが、印加電圧を約 8V まで上昇させると電流値が急激に増加した(図 3c)。これは TaO_x が誘電破壊したことによるものと考えられる。原子間力顕微鏡を用いて TaO_x の膜厚を計測したところ 22nm であったため、この TaO_x 膜の誘電破壊時の電界強度はおよそ

3.6 MV/cm と算出された。この値は過去に他の方法で成膜された TaO_x 膜のものと同等であり¹⁰⁾、 TaS_2 の O_3 酸化によって得られた TaO_x が高い絶縁性を有することが示された。

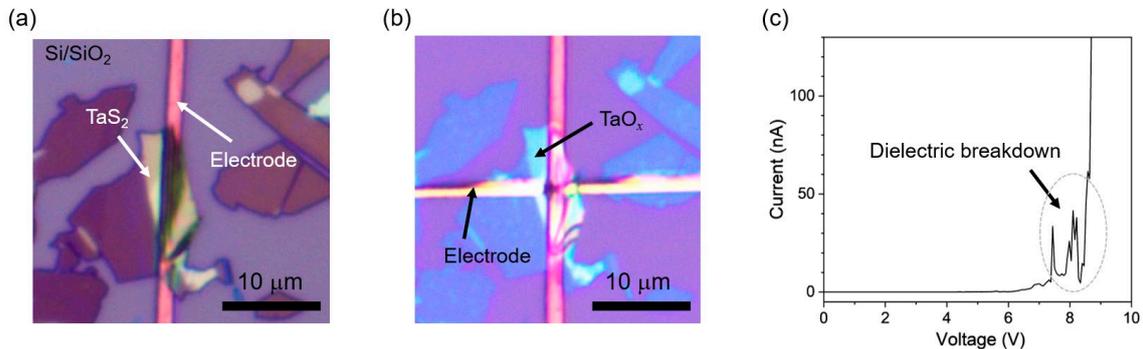


図3. (a, b) O_3 曝露前後の TaS_2 の光学顕微鏡像. (c) O_3 曝露後の TaS_2 の面直方向の電流 - 電圧特性

3.2 TaO_x をゲート絶縁膜とする MoS_2 FET の評価

次に、Au をゲート、 TaO_x をゲート絶縁膜とした MoS_2 FET の特性を示す。図 4a は作製した MoS_2 FET の光学顕微鏡像、図 4b はドレイン電圧 (V_d) が 1V のときの伝達特性 (ドレイン電流 I_d - ゲート電圧 V_g 特性) である。図 4b に示すように、作製した MoS_2 FET は -1V から 1V までのゲート掃引に対してドレイン電流値が 4 桁以上変化し、その際のゲートリーク電流が ~ 1 pA 程度であったことから TaO_x がゲート絶縁膜として機能することが分かった。伝達特性におけるヒステリシスは 0.04V であり、 TaO_x 膜中や TaO_x 膜と MoS_2 や Au の界面における電荷トラップ密度が比較的低いことも分かった。さらに、この MoS_2 FET のサブスレッショルドスイング $SS = dV_g / d \log(I_d)$ の平均値と最小値はそれぞれ $SS_{\text{avg}} = 110$ mV/decade と $SS_{\text{min}} = 70$ mV/decade であった (図 4c)。これらの値は室温におけるサブスレッショルドスイングの理論下限値である 60 mV/decade に迫るものであり、 TaS_2 の O_3 酸化によって得られた TaO_x が高い誘電性を有することも分かった。

図 5a, b は TaS_2 をゲート、 TaO_x をゲート絶縁膜とした MoS_2 FET の光学顕微鏡像と伝達特性 ($V_d = 1$ V) である。この MoS_2 FET は上記の Au をゲートとして用いた時と同様に、-1V から 1V までのゲート掃引において高いオン・オフ特性を示し、 TaS_2 がゲートとして機能することが分かった。また、ゲートリーク電流が > 10 pA と微小なことから、ゲート電極直下においては TaS_2 の面直方向の酸化は進行しておらず、 TaS_2 の結晶端では面内方向に酸化されていることが示唆された。サブスレッショルドスイングの平均値は $SS_{\text{avg}} =$

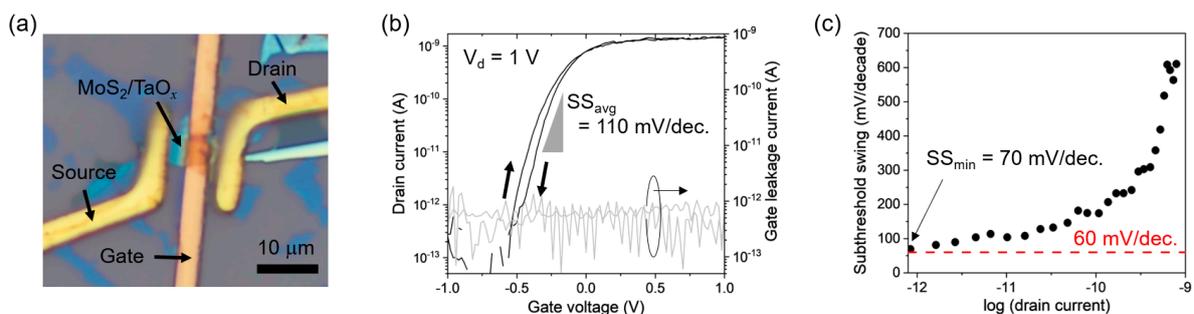


図4. Au をゲート、 TaO_x をゲート絶縁膜とする MoS_2 FET の (a) 光学顕微鏡像、(b) 伝達特性、(c) サブスレッショルドスイングのドレイン電流依存性

121 mV/decade であり、 TaS_2 表面に形成した TaO_x も高い誘電性を有することが分かった。 TaS_2 をゲートとする MoS_2 FET は、 Au をゲートに用いたときとは異なりゲート掃引に対して反時計回りにヒステリシスを示

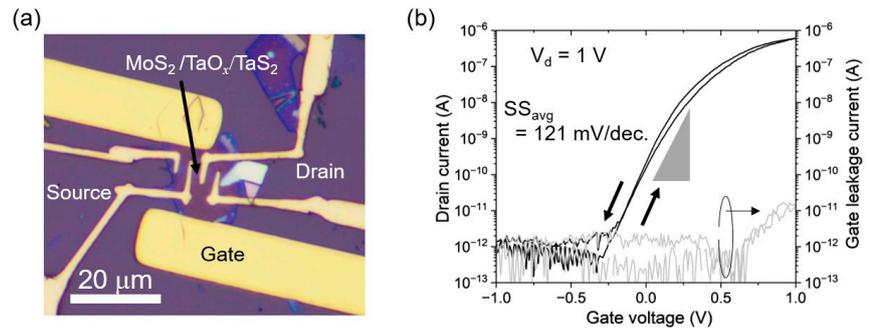


図5. TaS_2 をゲート、 TaO_x をゲート絶縁膜とする MoS_2 FET の (a) 光学顕微鏡像と (b) 伝達特性

した。これは、 $\text{TaO}_x/\text{TaS}_2$ 界面における電荷トラップの存在を示唆するものである。一方で、ヒステリシス幅は 0.03 V と小さく、そのトラップ密度は低いと考えられる。

4. まとめ

本研究では、層状金属である TaS_2 を O_3 酸化して得られる TaO_x が高い絶縁性・誘電性を有し、二次元 MoS_2 FET における High- k ゲート絶縁膜として応用できることを明らかにした。また、 TaS_2 の表面を O_3 酸化して形成した $\text{TaO}_x/\text{TaS}_2$ ヘテロ構造においては TaS_2 がゲートとして機能することも示した。 TaS_2 の表面酸化によって得られた TaO_x をゲート絶縁膜、 TaS_2 をゲートとして用いる手法は、 TaS_2 を電極上に転写した後に酸化する手法に比べプロセス性がより高いことが予測され応用への期待が高い。一方で、 $\text{TaO}_x/\text{TaS}_2$ 界面における電荷トラップの存在も示唆され、今後は界面トラップ密度を最小化させるための O_3 酸化条件を明らかにする必要がある。また、本研究では TaS_2 表面に形成した TaO_x 膜の膜厚や表面形状、さらには誘電率も調べられていないため、今後はこれらを明らかにすることで二次元半導体 FET のゲート絶縁膜としての応用可能性を追求する。

5. 謝辞

本研究は、令和 4 年度日本板硝子材料工学助成会の研究助成を受けて行ったものである。同助成会に心より感謝致します。また、本研究は関西大学大学院理工学研究科博士課程前期課程佐橋悠太郎氏、および埼玉大学大学院理工学研究科上野啓司教授との共同研究として行ったものである。

6. 参考文献

- 1) Y. Liu, X. Duan, H. J. Shin, S. Park, Y. Huang, X. Duan, *Nature*, 591, 43 (2021).
- 2) S. Das, A. Sebastian, E. Pop, C. J. McClellan, A. D. Franklin, T. Grasser, T. Knobloch, Y. Illarionov, A. V. Penumatcha, J. Appenzeller, Z. Chen, W. Zhu, I. Asselberghs, L. J. Li, U. E. Avci, N. Bhat, T. D. Anthopoulos, R. Singh, *Nat. Electron.*, 4, 786 (2021).
- 3) F. Wu, H. Tian, Y. Shen, Z. Hou, J. Ren, G. Gou, Y. Sun, Y. Yang, T. L. Ren, *Nature*, 603, 259 (2022).
- 4) S. Yang, K. Liu, Y. Xu, L. Liu, H. Li, T. Zhai, *Adv. Mater.*, 35, 2207901 (2023).
- 5) W. Li, J. Zhou, S. Cai, Z. Yu, J. Zhang, N. Fang, T. Li, Y. Wu, T. Chen, X. Xie, H. Ma, K. Yan, N. Dai, X. Wu, H. Zhao, Z. Wang, D. He, L. Pan, Y. Shi, P. Wang, W. Chen, K.

- Nagashio, X. Duan, X. Wang, *Nat. Electron.*, 2, 563 (2019).
- 6) D. Venkatakrishnarao, A. Mishra, Y. Tarn, M. Bosman, R. Lee, S. Das, S. Mukherjee, T. Talha-Dean, Y. Zhang, S. L. Teo, J. Chai, F. Bussolotti, K. E. J. Goh, C. S. Lau, *ACS Nano*, 18, 26911 (2024).
 - 7) B. Chamlagain, Q. Cui, S. Paudel, M. M.- C. Cheng, P.- Y. Chen, Z. Zhou, *2D Mater.*, 4, 031002 (2017).
 - 8) H. Takeuchi, N. Urakami, Y. Hashimoto, *Nanotechnology*, 33, 375204 (2022).
 - 9) M. Yamamoto, S. Dutta, S. Aikawa, S. Nakaharai, K. Wakabayashi, M. S. Fuhre, K. Ueno, K. Tsukagoshi, *Nano Lett.*, 15, 2067 (2015).
 - 10) E. Atanassova, A. Paskaleva, *Microelectron. Reliab.*, 47, 913 (2007).